

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-51266

(43)公開日 平成9年(1997)2月18日

(51) Int.Cl.⁶
 H 03 K 19/094
 H 01 L 27/04
 21/822

識別記号

庁内整理番号

F I
 H 03 K 19/094
 H 01 L 27/04

技術表示箇所
 D
 G

審査請求 未請求 請求項の数31 FD (全14頁)

(21)出願番号 特願平8-84621
 (22)出願日 平成8年(1996)3月13日
 (31)優先権主張番号 08/403, 595
 (32)優先日 1995年3月14日
 (33)優先権主張国 米国(US)

(71)出願人 594067922
 ラティス・セミコンダクター・コーポレーション
 Lattice Semiconductor Corporation
 アメリカ合衆国 97124 オレゴン、ヒルズ
 ポロ、モーレ・コート、エヌイー 5555
 番
 (72)発明者 ジェイムズ・ゴレッキ
 アメリカ合衆国オレゴン州97124・ヒルズ
 ポロ・エヌイージェイミードライブ 2484
 (74)代理人 弁理士 大島 陽一 (外1名)

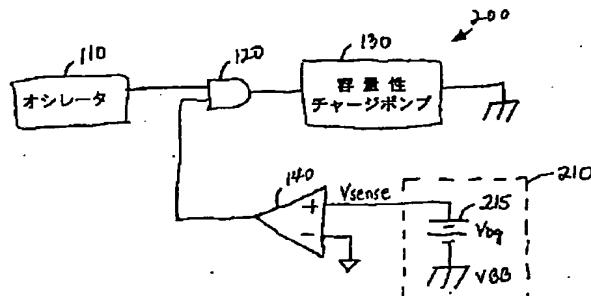
最終頁に続く

(54)【発明の名称】 基板電圧を所望の値に維持するための回路及び方法

(57)【要約】

【課題】 半導体回路の基板電圧を所望のレベルに維持するための改善された回路及び方法を提供すること

【解決手段】 本発明によると、オシレータ、容量性チャージポンプ、コンパレータ、及びレベルシフタを含むシステムが提供される。レベルシフタは、基板とコンパレータの正入力リードとの間に接続され、基板電圧を V_{bg} だけシフトする。コンパレータはシフトされた基板電圧をグランド電位と比較する。オシレータ、容量性チャージポンプ、コンパレータによって形成された負帰還回路により、基板電圧は概ね $-V_{bg}$ に維持される。一実施例では、レベルシフタはバンドギャップリファレンスを含む。



【特許請求の範囲】

【請求項1】 基板上に形成された回路であって、
温度に比例する第1電流を供給する電流源と、
前記電流源と前記基板とに接続され、前記基板の電圧からシフトされた第1電圧を供給するレベルシフタとを含むことを特徴とする回路。

【請求項2】 チャージポンプによって生成された電圧を有する基板上に形成された回路であって、
温度に比例する第1電流を供給する電流源と、
前記電流源と前記基板とに接続され、前記基板の前記電圧からシフトされた第1電圧を供給するレベルシフタとを含み、
前記レベルシフタが、
前記電流源に接続され、前記第1電流と概ね等しい電流を流す第1Pチャネルトランジスタと、
前記第1Pチャネルトランジスタのドレインに接続された第1抵抗デバイスと、
前記基板に接続されたベース及びコレクタと前記第1抵抗デバイスに接続されたエミッタとを有する第1PNPトランジスタとを含むことを特徴とする回路。

【請求項3】 前記第1抵抗デバイスの両端の電圧降下と前記第1PNPトランジスタのベース・エミッタ間電圧とによって和電圧が与えられ、
前記第1電圧と前記基板の前記電圧が差電圧を有し、
前記和電圧が前記差電圧に概ね等しいことを特徴とする請求項2に記載の回路。

【請求項4】 前記第1電圧がグランド電位に概ね等しいことを特徴とする請求項3に記載の回路。

【請求項5】 前記電流源が、
前記第1電流に概ね等しい第2電流を流すためのPチャネル電流ミラー回路と、
前記Pチャネル電流ミラー回路からの前記第2電流を流すためのNチャネル電流ミラー回路と、
前記基板に接続されたコレクタと第2の電圧を供給する電圧源に接続されたベースとを有する第2のPNPトランジスタと、
前記Nチャネル電流ミラー回路と前記第2PNPトランジスタのエミッタとの間に接続された第2抵抗デバイスと、
前記基板に接続されたコレクタと、前記第2電圧を供給する前記電圧源に接続されたベースと、前記Nチャネル電流ミラー回路に接続されたエミッタとを有する第3のPNPトランジスタとを含むことを特徴とする請求項2に記載の回路。

【請求項6】 前記第2電圧がグランド電位に概ね等しいことを特徴とする請求項5に記載の回路。

【請求項7】 前記第1、第2、及び第3PNPトランジスタがバーチカル寄生PNPトランジスタであることを特徴とする請求項5に記載の回路。

【請求項8】 前記Nチャネル電流ミラー回路が、

前記第3PNPトランジスタの前記エミッタに接続されたソースを有する第1Nチャネルトランジスタと、
前記第2抵抗デバイスに接続されたソースを有する第2Nチャネルトランジスタとを含み、
前記第2抵抗デバイスが前記第2Nチャネルトランジスタの前記ソースと前記第2PNPトランジスタの前記エミッタとの間に直列に接続されていることを特徴とする請求項7に記載の回路。

【請求項9】 前記第1PNPトランジスタの前記エミッタがソースp+拡散領域から形成されており、前記第1PNPトランジスタの前記ベースがnウェルから形成されており、前記第1PNPトランジスタの前記コレクタが前記基板から形成されていることを特徴とする請求項2に記載の回路。

【請求項10】 基板の電圧を予め定められたレベルに維持するための方法であって、
トランジスタのベース・エミッタ間電圧と、熱電圧と定数の積との和に概ね等しい第1電圧を生成する過程と、
前記第1電圧を前記基板と第1ノードとの間に印加する過程と、

前記基板の前記電圧を前記予め定められたレベルに維持するべく、前記第1ノードの電圧を第2の電圧に維持するように前記基板の電荷量を変化させる過程とを含むことを特徴とする方法。

【請求項11】 前記電荷量を変化させる過程が、
前記第2電圧を前記第1ノードの前記電圧と比較する過程と、

前記第1ノードの前記電圧が前記第2電圧と比べてより正であるとき、第1信号を生成する過程とを含むことを特徴とする請求項10に記載の方法。

【請求項12】 前記電荷量を変化させる過程が、
前記基板へ負電荷をポンピングする過程を更に含むことを特徴とする請求項11に記載の方法。

【請求項13】 前記ポンピング過程が、
振動する信号を生成する過程と、
前記振動する信号を容量性チャージポンプへと通過させる過程とを含むことを特徴とする請求項12に記載の方法。

【請求項14】 前記振動する信号を通過させる過程が、
ANDゲートの第1入力リード上に前記第1信号を受信する過程と、
前記ANDゲートの第2入力リード上に前記振動する信号を受信する過程とを含むことを特徴とする請求項13に記載の方法。

【請求項15】 基板の電圧を予め定められたレベルに維持するための方法であって、
トランジスタのベース・エミッタ間電圧と、熱電圧と定数の積との和に概ね等しい第1電圧を生成する過程と、
前記第1電圧を前記基板と第1ノードとの間に印加する

過程と、

前記基板の前記電圧を前記予め定められたレベルに維持するべく、前記第1ノードの電圧を第2の電圧に維持するように前記基板の電荷量を変化させる過程とを含み、前記定数が抵抗値の比とエミッタ面積の比の自然対数との積であることを特徴とする方法。

【請求項16】 前記第1電圧を生成する過程が、抵抗値の比を変化させる過程を含み、前記抵抗値の比の変化によって前記定数に比例した変化が発生することを特徴とする請求項15に記載の方法。

【請求項17】 前記第1電圧を生成する過程が、エミッタ面積の比を変化させる過程を含むことを特徴とする請求項15に記載の方法。

【請求項18】 基板の電圧を予め定められたレベルに維持するための構造であって、

トランジスタのベース・エミッタ間電圧と、熱電圧と定数の積との和に概ね等しい第1電圧を生成する手段と、前記第1電圧を前記基板と第1ノードとの間に印加する手段と、

前記基板の前記電圧を前記予め定められたレベルに維持するべく、前記第1ノードの電圧を第2の電圧に維持するように前記基板の電荷量を変化させる手段とを含むことを特徴とする構造。

【請求項19】 前記電荷量を変化させる手段が、前記第2電圧を前記第1ノードの前記電圧と比較する手段と、

前記第1ノードの前記電圧が前記第2電圧と比べてより正であるとき、第1信号を生成する手段とを含むことを特徴とする請求項23に記載の構造。

【請求項20】 前記電荷量を変化させる手段が、前記基板へ負電荷をポンピングする手段を更に含むことを特徴とする請求項19に記載の構造。

【請求項21】 前記ポンピング手段が、
振動する信号を生成する手段と、
前記振動する信号を容量性チャージポンプへと通過させるゲート手段とを含むことを特徴とする請求項20に記載の構造。

【請求項22】 前記ゲート手段が、
ANDゲートの第1入力リード上に前記第1信号を受信するための手段と、
前記ANDゲートの第2入力リード上に前記振動する信号を受信するための手段とを含むことを特徴とする請求項21に記載の構造。

【請求項23】 基板の電圧を予め定められたレベルに維持するための構造であって、
トランジスタのベース・エミッタ間電圧と、熱電圧と定数の積との和に概ね等しい第1電圧を生成及び印加する手段を含み、前記定数が抵抗値の比とエミッタ面積の比の自然対数との積であり、
前記第1電圧は前記基板と第1ノードとの間に印加さ

れ、

更に、前記基板の前記電圧を前記予め定められたレベルに維持するべく、前記第1ノードの電圧を第2の電圧に維持するように前記基板の電荷量を変化させる手段を含むことを特徴とする構造。

【請求項24】 前記第1電圧を生成する手段が、抵抗値の比を変化させる手段を含み、前記抵抗値の比の変化によって前記定数に比例した変化が発生することを特徴とする請求項23に記載の構造。

【請求項25】 前記第1電圧を生成する手段が、エミッタ面積の比を変化させる手段を含むことを特徴とする請求項24に記載の構造。

【請求項26】 基板の電圧を予め定められた電圧に維持するためのシステムであって、

オシレータと、
前記オシレータの出力リードに接続された入力リードを有するゲート回路と、

前記ゲート回路の出力リードに接続された入力リードと、前記基板に接続された出力リードとを有するチャージポンプ回路と、

前記基板とノードとの間に接続されたレベルシフタと、前記ノードに接続された第1入力リードと、電圧源に接続された第2入力リードと、前記ゲート回路の制御リードに接続された出力リードとを有する比較回路とを有することを特徴とするシステム。

【請求項27】 基板の電圧を予め定められた電圧に維持するためのシステムであって、

オシレータと、
前記オシレータの出力リードに接続された入力リードを有するゲート回路と、

前記ゲート回路の出力リードに接続された入力リードと、前記基板に接続された出力リードとを有するチャージポンプ回路と、

前記基板とノードとの間に接続されたレベルシフタと、前記ノードに接続された第1入力リードと、電圧源に接続された第2入力リードと、前記ゲート回路の制御リードに接続された出力リードとを有する比較回路とを有し、

前記レベルシフタがバンドギャップリファレンスを含んでいることを特徴とするシステム。

【請求項28】 基板の電圧を予め定められた電圧に維持するためのシステムであって、

オシレータと、
前記オシレータの出力リードに接続された入力リードを有するゲート回路と、

前記ゲート回路の出力リードに接続された入力リードと、前記基板に接続された出力リードとを有するチャージポンプ回路と、

前記基板とノードとの間に接続されたレベルシフタと、前記ノードに接続された第1入力リードと、電圧源に接

続された第2入力リードと、前記ゲート回路の制御リードに接続された出力リードとを有する比較回路とを有し、前記電圧源がグランド電位供給源であることを特徴とするシステム。

【請求項29】 基板の電圧を予め定められた電圧に維持するためのシステムであって、オシレータと、前記オシレータの出力リードに接続された入力リードを有するゲート回路と、前記ゲート回路の出力リードに接続された入力リードと、前記基板に接続された出力リードとを有するチャージポンプ回路と、前記基板とノードとの間に接続されたレベルシフタと、前記ノードに接続された第1入力リードと、電圧源に接続された第2入力リードと、前記ゲート回路の制御リードに接続された出力リードとを有する比較回路とを有し、前記ゲート回路がANDゲートを含んでいることを特徴とするシステム。

【請求項30】 前記比較回路がコンパレータを含んでいることを特徴とする請求項27に記載のシステム。

【請求項31】 前記オシレータが電圧制御発振器であり、前記比較回路が増幅器であり、前記電圧制御発振器が前記増幅器の出力リードに接続された入力リードを有することを特徴とする請求項28に記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路に関する。より詳細には、チャージポンピングされる基板を含む集積回路に関する。

【0002】

【従来の技術】MOS及びCMOS集積回路の中には、特性を改善するべく集積回路の基板電圧（“VBB”）を制御するための容量性チャージポンプを有するものがある。この手法は、しばしば“基板ポンピング”法と呼ばれる。このような基板ポンピング式システムは、基板をバックバイアスするように動作し、ボディ効果を低減し寄生容量を低下させ、それによってデバイスの飽和電流（ I_{dsat} ）を減少させることなくデバイスのしきい値電圧（ V_t ）を低下させる。

【0003】図1は、オシレータ110、ANDゲート120、容量性チャージポンプ130、コンパレータ140、基準電圧発生回路150、検出回路160を含む従来の基板ポンピング式システム100を表している。基準電圧発生回路150は、コンパレータ140の負入力端子に電圧 V_{ref} を供給する。電圧 V_{ref} は負であり、それによって基板は以下に述べるようにバックバイアスされる。検出回路160は基板電圧VBBを検出し、基板電圧VBBと等しいように意図された電圧をコンパレ

ータ140の正入力端子に供給する。コンパレータ140の出力リードはANDゲート120の入力リードの一つに接続されている。ANDゲート120の他方の入力リードは、オシレータ110の出力リードに接続されている。

【0004】従って、基板電圧VBBが電圧 V_{ref} より低い場合（即ちより負である場合）、コンパレータ140は論理0信号をANDゲート120へと出力する。コンパレータ140から論理0信号を受信したANDゲート120は、ANDゲート120のもう一方の入力リードにどのような入力が加えられているかに関係なく、論理0信号を出力する。従って、オシレータ110によって生成されるクロック信号は、容量性チャージポンプ130へ伝達されない。容量性チャージポンプ130は従来の容量性チャージポンプであり、オシレータ110によって生成されるクロック信号に応答して基板に負電荷を加えるように動作する。従って、基板電圧VBBが電圧 V_{ref} より低いとき、容量性チャージポンプ130は基板に負電荷を加えない。

【0005】一方、基板電圧VBBが電圧 V_{ref} より高い場合（即ちより正である場合）、コンパレータ140はANDゲート120に論理1信号を出力する。従って、オシレータ110によって生成されるクロック信号は、ANDゲート120を通過して容量性チャージポンプ130へ伝えられる。容量性チャージポンプ130はクロック信号に応答して基板に負電荷を加えるように動作し、それによって基板電圧VBBは低下する。

【0006】しかしながら、基板にポンピングされた負電荷は基板から流出していくため、それによって電圧VBBは上昇する。コンパレータ140、ANDゲート120及び容量性チャージポンプ130は負帰還回路を形成し、電圧VBBを電圧 V_{ref} に概ね等しく維持するべく基板に負電荷を与えるように動作する。

【0007】基板ポンピング式システム100の問題の一つは、基板電圧VBBを電圧 V_{ref} と比較することができるよう、基板電圧VBBを検出することにある。この従来システムでは、検出回路160が複雑な回路であり、製造プロセス、温度及び電源の変動に影響されやすい。更に、基準電圧発生回路150は、基板がP型半導体材料であるとき、通常、Pチャネルデバイスを用いて実現されるが、これらのPチャネルデバイスもまた同様の変動に影響されやすい。その結果、基板電圧VBBは、基板ポンピング式システム100に於いて-0.5V乃至-2.5V程度変動し得るが、これは多くの応用に於いて許容されない。

【0008】

【発明が解決しようとする課題】従って本発明の主な目的は、所望のレベルに基板電圧を維持するための改善された回路及び方法を提供することである。

【0009】

【課題を解決するための手段】本発明によると、所望のレベルに基板電圧を維持するための方法が提供される。また同時に、この方法を実現するための構造が提供される。この方法は、都合の良い電圧と比較するべく基板電圧をシフトさせるためのレベルシフタ (levelshifter) を用いる。

【0010】本発明の一実施例によると、基板ポンピング式システムは、オシレータ、容量性チャージポンプ、比較回路、及びレベルシフタを含む。レベルシフタは基板と比較回路の正入力リードとの間に接続され、基板電圧を電圧 V_{bg} だけシフトさせる。コンパレータの負入力リードはグランド電位供給源に接続されている。従って、基板電圧 V_{BB} を検出するのに複雑な検出回路が不要となっている。比較回路は、電圧 V_{bg} と基板電圧 V_{BB} の和（即ち、 V_{sum} ）に概ね等しい電圧をグランド電位と比較する。オシレータ、容量性チャージポンプ、レベルシフタ、及び比較回路は負帰還回路を形成し、電圧 V_{sum} をグランド電位に概ね等しく保つように動作する。その結果、基板電圧 V_{BB} は概ね $-V_{bg}$ に等しい電圧に維持される。

【0011】この実施例では、レベルシフタは電圧 V_{bg} を生成するためバンドギャップリファレンス (band gap reference) を含んでいる。従って、電圧 V_{bg} は、製造プロセス、温度、及び電源の変動に比較的影響されにくい。その結果、基板電圧 V_{BB} も製造プロセス、温度、及び電源の変動にあまり影響されることなく、所望の電圧に維持される。

【0012】この実施例では、バンドギャップリファレ

$$V_{sense} = V_{BB} + V_{bg}$$

【0016】即ち、この場合、 $V_{sense} = V_{BB} + 1.5V$ となる。

【0017】レベルシフタ 210 の出力リードは、コンパレータ 140 の正入力リードに接続されている。コンパレータ 140 の他方の入力リードはグランド電位供給源に接続されている。従って、基板電圧 V_{BB} が $-1.5V$ より低いとき、電圧 V_{sense} は負であり、コンパレータ 140 は論理 0 信号を出力する。コンパレータ 140 の出力リードは AND ゲート 120 の入力リードに接続されており、従って、AND ゲート 120 も論理 0 信号を出力する。AND ゲート 120 の他方の入力リードはオシレータ 110 の出力リードに接続されている。従って、この場合、AND ゲート 120 はオシレータ 110 によって生成されるクロック信号を AND ゲート 120 の出力リードに接続されている容量性チャージポンプ 130 へと通過させない。この実施例では、オシレータ 110 は周波数約 40MHz のクロック信号を出力する。

【0018】この実施例ではクロック信号を容量性チャージポンプ 130 へと通過させたり阻止したりするのに AND ゲートが用いられているが、別の実施例では、例

ンスを実現するのに PNP トランジスタを用いている。その結果、この実施例は N ウェルプロセスを用いた集積回路に於いて用いるのに好都合である。そのような集積回路では、バンドギャップリファレンスは、全ての N ウェルプロセスで得ることのできるバーチカル PNP トランジスタを用いて実現することができる。

【0013】

【発明の実施の形態】図 2 は、基板ポンピング式システム 200 を表している。このシステム 200 は、オシレータ 110、AND ゲート 120、容量性チャージポンプ 130、コンパレータ 140 及びレベルシフタ 210 を含んでいる。ここで、同様の構成要素には図面間で同じ参照符号が付されている。

【0014】レベルシフタ 210 は、電圧 V_{bg} を出力するバンドギャップリファレンス 215 を含んでいる。この実施例では、電圧 V_{bg} は概ね $1.5V$ になるように設計されている。この実施例では $1.5V$ が用いられているが、バンドギャップリファレンスは（後に図 3 に関連して説明されるように）、グランド電位より高い約 $V_{BB_{ON}}$ と V_{CC} より低いしきい値電圧 V_{t} との間の任意の電圧を供給するように設計することができる。バンドギャップリファレンス 215 は、レベルシフタ 210 の出力端子と基板との間に接続されている。その結果、この実施例では、レベルシフタ 210 は以下の式（1）によって与えられる電圧 V_{sense} を生成する。

【0015】

【数 1】

式 (1)

れば NAND ゲート、マルチプレクサ、或いはスイッチ（容量性チャージポンプ 130 に接続されるこのスイッチの出力リードは浮遊電位とはならないものとする）のような他のゲート回路を用いることもできる。

【0019】容量性チャージポンプ 130 は従来のチャージポンプであり、その出力リードは基板に接続されており、オシレータからのクロック信号に応答して基板に負電荷をポンピングするように動作する。従って、電圧 V_{sense} がグランド電位より低く、コンパレータ 140 が論理 0 信号を出力し、AND ゲートがオシレータ 110 からのクロック信号を通過させないときには、容量性チャージポンプ 130 は動作しない。

【0020】一方、基板電圧 V_{BB} が $-1.5V$ より高い場合、レベルシフタ 210 から出力される電圧 V_{sense} は正となる。その結果、コンパレータ 140 は論理 1 信号を出力し、それによって AND ゲート 120 はオシレータ 110 によって生成されるクロック信号を容量性チャージポンプ 130 へと通過させる。容量性チャージポンプ 130 はオシレータ 110 から送られてくるクロック信号に応答して基板に負電荷をポンピングするよう動作し、それによって基板電圧 V_{BB} は低下する。

【0021】容量性チャージポンプ130は基板電圧VBBが-1.5Vより低くなるまで負電荷のポンピングを続ける。その後、上述したように、コンパレータ140からの出力によって、ANDゲート120はクロック信号を容量性チャージポンプ130へ通すのを中止する。しかし、基板から負電荷が流出するにつれ基板電圧VBBが上昇し-1.5Vより高くなると、コンパレータ140はこれを検知し、容量性チャージポンプ130を動作させるべく、ANDゲート120がオシレータ110からのクロック信号を通過させるようにする。このように、レベルシフタ210、コンパレータ140、ANDゲート120及び容量性チャージポンプ130によって形成された帰還回路は、基板電圧VBBを概ね-1.5Vに保つように動作する。

【0022】図2に示すようにレベルシフタ210とコンパレータ140を接続することによって、基板電圧VBBを検出してそれを所望の電圧（この場合-1.5V）と比較する回路が、図1に示されているように接続された検出回路160及びコンパレータ140に較べて、より単純な回路として提供される。レベルシフタ210は検出回路160に較べより容易に低コストで実現することができる。

【0023】更に、レベルシフタ210はバンドギャップリファレンス215を含んでいるため、検出回路160と較べ、製造プロセス、温度、及び電源の変動に影響されにくい。このため、基板ポンピング式システム200はより精密に基板電圧VBBを所望の電圧レベルに維持することができる。

【0024】この実施例は、厚さ100Å未満のゲート酸化物を含むセルデバイスを備えた電気的に消去可能なプログラマブルロジックデバイス（programmable logic device: PLD）のようなCMOS²技術に於いて用いられるのに利点を有する。CMOSという用語は、本明細書中では、シリコンゲート技術を含むものとして用いられる。セルのセンス電流（I_{dsat}）及びV_tは、PLDの動作に影響する重要なパラメータである。PLDの動作速度を高めるには、I_{dsat}を大きくしV_tを低くすることが望ましい。基板をバックバイアスすることによって、寄生容量は減少し、移動度は増加する。従って、バックバイアスによって設計者はI_{dsat}が増加するようにチャネルのドーピングレベルを上げつつ、V_tを許容可能な値にすることができる。

【0025】一般に、V_t及びI_{dsat}は両方とも基板電圧VBBを低くすることにより改善される。しかしながら、このようなPLDへの適用に於いては、基板電圧VBBは、基板・N+接合の接合ブレークダウン電圧と、適用される電気的消去可能セルのプログラム保持能力と

によって定まる下限を有する。これらのセルは、セルのN+拡散領域のある部分に高電圧をかけることによってプログラムされるため、大きな負の基板電圧は接合ブレークダウンの危険を増加させる。更に、基板電圧が負になると基板とセルのチャネルとの間の電界が大きくなるが、それによってセルをプログラムするために用いられた電荷が流出することがある。従って、基板電圧VBBが負になり過ぎると、セルの消去が起こりうる。これらの適用例では、基板電圧が-1.5V±200mVの範囲にあるとき、接合ブレークダウン及び/またはセルの消去の危険もあまりなく、比較的好ましいV_t及びI_{dsat}を得ることができる。

【0026】図3は、Pチャネル電流ミラー回路310、Nチャネル電流ミラー回路320、抵抗R1及びR2、PNPトランジスタQ1乃至Q3を含むレベルシフタ210の一実施例を示している。

【0027】Pチャネル電流ミラー回路310は、実質的に同一のPチャネルトランジスタP1乃至P3を含んでいる。従って、トランジスタP1乃至P3を流れる電流は、実質的に同じである。Pチャネル電流ミラー回路310のトランジスタP1乃至P3は、各々電流I_{ptat}を流す。トランジスタP1及びP2のチャネルはNチャネル電流ミラー回路320の実質的に同一なNチャネルトランジスタN1及びN2のチャネルに接続されている。従って、NチャネルトランジスタN1及びN2を流れる電流もまたI_{ptat}である。

【0028】トランジスタN1のソースはPNPトランジスタQ1のエミッタに接続されている。トランジスタQ1のベースはグランド電位供給源に接続されており、トランジスタQ1のコレクタは基板に接続されている。従って、トランジスタQ1はトランジスタN1から基板へと電流を流す。

【0029】トランジスタN2のソースは抵抗R1を通してトランジスタQ2のエミッタに接続されている。トランジスタQ2のベースはグランド電位供給源に接続されており、トランジスタQ2のコレクタは基板に接続されている。従って、トランジスタQ2はトランジスタN2から基板へと電流を流す。

【0030】Nチャネル電流ミラー回路320のトランジスタを流れる電流は、以下のように決定される。トランジスタQ1及びQ2のベースはグランド電位供給源に接続されているため、トランジスタQ1のベースからトランジスタQ2のベースへの電圧ループ方程式は以下の式（2）のようになる。

【0031】

【数2】

$$V_{BE_{Q1}} + (I_{ptat})(R_1) - V_{BE_{Q2}} = 0$$

$$(即ち、I_{ptat} = (V_{BE_{Q2}} - V_{BE_{Q1}}) / R_1) \quad \text{式 (2)}$$

【0032】ここで、

【0033】

【外1】

R₁

【0034】は抵抗R₁の抵抗値、V_{BE_{Q1}}はトランジスタQ₁のベース・エミッタ間電圧、V_{BE_{Q2}}はトランジ

$$V_{BE} = (-V_T)(1n[I_c / I_s]) \quad \text{式 (3)}$$

【0036】ここで、V_Tは熱電圧(thermal voltage)、I_cはコレクタ電流、I_sはトランジスタの飽和電流である。式(3)と式(2)を組み合わせることによ

$$I_{ptat} = (V_T)(1n[I_{cQ1} / I_{sQ1}] - 1n[I_{cQ2} / I_{sQ2}]) / R_1$$

$$= (V_T)(1n[I_{sQ2} / I_{sQ1}]) / R_1 \quad \text{式 (4)}$$

【0038】ここで、トランジスタQ₁及びQ₂のコレクタ電流は概ね等しいことに注意されたい。

【0039】I_sはトランジスタのエミッタ断面積に比例するため、所与のプロセスに対して、式(4)は式

$$I_{ptat} = (V_T)(1n[A]) / R_1$$

【0041】ここで、AはトランジスタQ₂のエミッタ面積のトランジスタQ₁のエミッタ面積に対する比である。更に、熱電圧V_Tは式(6)によって与えられる。

$$V_T = kT / q$$

【0043】ここで、kはボルツマン定数、Tはケルビン(°K)で表した温度、qは電子の電荷である。式(5)と式(6)を組み合わせることにより式(7)が

$$I_{ptat} = (kT / q)(1n[A]) / R_1$$

【0045】式(7)は、電流I_{ptat}が絶対温度に比例することを表している。

【0046】再び図3を参照されたい。PチャネルトランジスタP₃のドレインは抵抗R₂を介してダイオード接続された(diode-connected) PNPトランジスタQ₃のエミッタに接続されている。トランジスタQ₃のコレクタは基板に接続されている。従って、Pチャネル電

$$V_{sense} - V_{BB} = (I_{ptat})(R_2) + V_{BE_{Q3}}$$

$$= (kT / q)(1n[A])(R_2 / R_1) + V_{BE_{Q3}} \quad \text{式 (8)}$$

【0048】ここで、

【0049】

【外2】

R₂

【0050】は抵抗R₂の抵抗値であり、電圧V_{sense}はコンパレータ140の正入力端子に供給される電圧である。式(8)は、ベース・エミッタ間電圧と、熱電圧

ジスタQ₂のベース・エミッタ間電圧である。PNPトランジスタのベース・エミッタ間電圧は以下の式(3)で与えられる。

【0035】

【数3】

式 (3)

り式(4)が得られる。

【0037】

【数4】

式 (4)

(5)のようになる。

【0040】

【数5】

式 (5)

【0042】

【数6】

式 (6)

得られる。

【0044】

【数7】

式 (7)

流ミラー回路310のトランジスタP₃は、抵抗R₂とPNPトランジスタQ₃を通して電流I_{ptat}を基板へと流す。従って、抵抗R₂とトランジスタQ₃の両端の電圧降下は式(8)によって与えられる。

【0047】

【数8】

と定数の積との和として電圧を定めている。これは、バンドギャップリファレンスに対する標準的な関係である。こうして、トランジスタQ₂のQ₁に対するエミッタ面積の比、抵抗R₂のR₁に対する抵抗値の比、及びトランジスタQ₃のしきい値電圧を適切に定めて、抵抗R₂とトランジスタQ₃の両端の電圧降下が概ね1.5ボルトに等しくなるようにすることができる。電流I_{ptat}

atが正に比例することにより、PNPトランジスタQ3のベースエミッタ間電圧の負の温度係数はオフセットされ、比較的温度に影響されにくい基準電圧が得られる。

【0051】レベルシフタ210のこの実施例では、Aは約10となるように設計され、抵抗R2の抵抗R1に対する比は約12であり、VBE_{Q3}は約700mVである。典型的には、VBE_{Q3}は製造プロセスによって決定され、A及び抵抗値比は所望の電圧が得られるように変化させることができる。理解されるように、バンドギャップリファレンスに所望の働きをさせるためには、Aは1に等しくなることはできない。

【0052】レベルシフタ210のこの実施例では、温度係数($T C_f$)は非常に小さく $\pm 300 \text{ ppm}/^{\circ}\text{C}$ となっている。従って、 100°C の温度範囲に亘って、電圧変化は100mV未満であり、この値はこの応用例における電圧についての制限(即ち、 $1.5\text{V} \pm 200\text{mV}$)内に十分納まっている。

【0053】図3のバンドギャップリファレンス215の実施例では、トランジスタQ1及びQ2のベースはグランド電位供給源に接続されているが、これらのトランジスタはダイオード接続としてもよく、それによって回路機能が変わることもない。更に、電流ミラー回路310及び320はスケール変更可能であり、それによって抵抗R2の両端の電圧降下を調整することが可能である。さらに、電流ミラー回路310及び320は、ウィルソン(Wilson)またはカスケード接続電流源を用いて実現することができる。

【0054】電流ミラー回路310及び320は2つの安定状態を有する。所望の安定状態は、上述したように、電流ミラー回路310及び320が電流I_{ptat}を流している状態である。他方の安定状態は電流ミラー回路310及び320に電流が流れていない状態である。レベルシフタ210は、電源投入後電流ミラー回路310及び320が電流I_{ptat}を流すのを保証するべく、スタートアップ回路330を含んでいる。

【0055】スタートアップ回路330は、ゲートが電圧VCCを供給する電圧源に接続され、ソースがグランド電位供給源に接続されたNチャネルトランジスタ332を含んでいる。電圧VCCの電圧源が電力供給を開始してから(即ち、電圧VCCがトランジスタ332のしきい値電圧に達した時点から)少し経過すると、トランジスタ332はターンオンし、ノードS1の電圧を概ねグランド電位に引き下げる。キャパシタC1はノードS1とグランド電位供給源との間に所望に応じて接続され、スタートアップが適切になされるのを保証するべく若干の遅れを発生させる働きをする。

【0056】ノードS1はPチャネルトランジスタ334のゲートに接続されている。トランジスタ334のソースは電圧VCCの電圧源に接続されている。その結果、トランジスタ332によってノードS1の電圧が電

圧VCCからしきい値電圧を差し引いた値より小さい値に引き下げられると、トランジスタ334はターンオンする。トランジスタ334のドレインはトランジスタN1及びN2のゲートに接続されているため、トランジスタN1及びN2も導通状態となる。トランジスタN2のドレインに電流が流れるときトランジスタP2及びP1がターンオンし、それによってトランジスタN1に電流が供給される。トランジスタN1を流れる電流によってトランジスタN2を流れる電流が支えられ、回路は正常動作する。

【0057】スタートアップ回路330は更にPチャネルトランジスタ336を含んでいる。トランジスタ336のゲートもまたトランジスタP2のドレインに接続されており、従って、トランジスタN1、N2、Q1及びQ2を流れる電流によってトランジスタP1及びP2に電流が流れるとき、トランジスタ336は導通状態になる。トランジスタ336はトランジスタ332に比べずっと大型であり、トランジスタ336によってノードS1の電圧は概ね電圧VCCに等しい値に引き上げられる。それによってトランジスタ334はターンオフし、スタートアップ回路330は電流ミラー回路310及び320から切り離される。

【0058】図4は、PNPトランジスタQ1を具現化したものを表した図である。PNPトランジスタQ2及びQ3も概ね同様に実現される。上述したように、基板ポンピング式システム200(図2)は、CMOS応用に適用することができる。このCMOSへの応用では、上述したようなPチャネルデバイスはP基板内に形成されたNウェルを利用して実現される。PNPトランジスタはNウェルプロセスに於いて不可避的に生成される寄生バーチカルPNPトランジスタ(parasitic vertical PNP transistor)を利用して実現される。Nチャネルデバイス、ゲート、CMOSデバイスのゲート酸化物は、PNPトランジスタの実現に於いては使用されず形成する必要はない。ソース拡散領域410はPNPトランジスタのエミッタを形成する。Nウェル420はPNPトランジスタのベースを形成する。N+拡散領域430はベースをグランド電位供給源に接続する。P基板440はコレクタを形成する。

【0059】図5は、FET510乃至513がタップ抵抗R2に接続されたプログラマブルレベルシフタ215の一実施例を示している。レベルシフタ215'は、レベルシフタ215(図3)と似ているが、レベルシフタ215に於ける抵抗R2がプログラム可能な抵抗R2'によって置き換えられている点が異なる。抵抗R2'の抵抗値は、FET510乃至513のゲートに制御信号を加えてFET510乃至513をオンまたはオフにすることによってプログラムすることができる。抵抗R2'は“トリム(trim)”することができるため、この実施例は、トランジスタQ3のVBEが製造プロセ

スによって変化するような応用例に於いて用いるのに適している。それによって、電圧 V_{bg} が概ね 1.5 V に設定されるように、抵抗 $R_{2'}$ の両端の電圧降下を調整することができる。この実施例では抵抗 $R_{2'}$ がプログラム可能であるが、別の実施例に於いて抵抗 R_1 及び／または $R_{2'}$ をプログラム可能としてもよい。

【0060】図6は、グランド電位供給源と基板との間に直列に接続されたチャネルを有するNチャネルトランジスタ601及び602を含む容量性ポンピング回路130の一実施例を表している。Nチャネルトランジスタ601及び602はダイオード接続されており、トランジスタ601のソースはグランド電位供給源に接続され、トランジスタ601のドレインはトランジスタ602のソースに接続されている。トランジスタ602のドレインは基板に接続されている。トランジスタ601及び602はダイオードを形成しているため、通常動作中、基板からグランドへは正の電荷しか流れることができない。

【0061】クロック端子610はキャパシタ630を介してノード620に接続されている。ノード620はトランジスタ610によって形成されたダイオードのアノード及びトランジスタ602によって形成されたダイオードのカソードに位置している。この実施例では、キャパシタ630の静電容量は約20 pFである。容量性チャージポンプ130はオシレータ110によって生成されたクロック信号をクロック端子610に受信する。クロック信号がその正のピーク電圧に近づくと、キャパシタ630はこの正電圧をノード620に伝達し、それによってトランジスタ601は導通状態に、トランジスタ602は非導通状態になる。その結果、トランジスタ601を通ってキャパシタ630からグランド電位供給源へと電荷が移動する。

【0062】逆に、クロック信号の第2半周期では、キャパシタ630によってノード620はその最も負の値になり、トランジスタ601は非導通状態に、トランジスタ602は導通状態となる。その結果、基板からキャパシタ630へとトランジスタ602を通って正電荷が流れる。チャージポンプ130は、基板電圧 V_{BB} を変化させて、概ね $-V_{CC}$ にダイオードの電圧降下2つ分を加えた値（即ち、 $-V_{CC} + 2V_{TN}$ ）となるようにすることができる。従って、オシレータ110からのクロック信号がハイからロー及びローからハイへと変化するとき、正電荷が基板からグランド電位供給源へとポンピングされる。この動作は負電荷を基板へポンピングするとの等価である。

【0063】図7は、オシレータ110（図2）の一実施例を表す模式図である。このオシレータ110は3つのインバータ701乃至703がカスケード接続され、インバータ703の出力リードがインバータ701の入力リードに接続された簡単なリングオシレータ（ring o-

scillator）である。インバータ701乃至703の出力信号は概ね方形波である。この実施例では、インバータの平均伝搬遅延時間は約4.16 nsである。従って、オシレータ110は約25 nsのサイクルタイムを有することとなり、約40 MHzのクロック信号を生成する。

【0064】図8は、コンパレータ140（図2）の一実施例の模式図である。コンパレータ140は、グランド電位供給源に接続された入力リード812とレベルシフタ210（図2）の出力リードに接続された入力リード814を有する入力段810を含んでいる。入力段810は、それぞれ第2增幅段（能動負荷段）820の入力リード822及び824に接続された出力リード816及び818を有している。第2增幅段820の出力リード826は出力段830の入力リード832に接続されている。

【0065】入力段810は、ゲートがPチャネル電流ミラー回路310（図3）に接続されたPチャネルトランジスタP4を含んでいる。トランジスタP4はトランジスタP1乃至P3と実質的に同一であり、入力段810に対する電流源として働き、Pチャネル電流ミラー回路310からミラーリングされた、電流 I_{ptat} に概ね等しい電流を供給する。

【0066】トランジスタP4のドレインは、PチャネルトランジスタP6及びP7からなるソース接続されたトランジスタ対に接続されている。トランジスタP6のゲートはコンパレータ140の正入力端子として働き、レベルシフタ210（図2）から電圧 V_{sense} を受信するよう接続されている。トランジスタP7のゲートはコンパレータ140の負入力端子として働き、グランド電位供給源に接続されている。トランジスタP6及びP7のドレインは、それぞれ負出力リード816及び正出力リード818に接続されている。また、トランジスタP6及びP7のドレインは、それぞれダイオード接続されたNチャネルトランジスタN6及びN7のドレインにも接続されている。その結果、電圧 V_{sense} がグランド電位より低くなると、トランジスタP6の導電性が一層高まり、それによってトランジスタP7を流れるトランジスタP4からの電流は減少する。従って、負出力リード816の電圧は上昇し、正出力リード818の電圧は低下する。

【0067】逆に、電圧 V_{sense} がグランド電位より高い場合、トランジスタP6の導電性は低下し、トランジスタP4からトランジスタP7へと流れる電流が増加する。その結果、負出力リード816の電圧は低下し、正出力リード818の電圧は上昇する。こうして、入力段810は、出力リード816及び818に差分出力信号を発生する差動増幅器として動作する。

【0068】第2增幅段820は、能動負荷を伴うソース接続されたトランジスタ対を含む。このソース接続さ

れたトランジスタ対に対する電流源は、ゲートがPチャネル電流ミラー回路310(図3)に接続されたPチャネルトランジスタP5を含んでいる。トランジスタP5はトランジスタP1乃至P3と実質的に同じであり、電流ミラー回路310によってミラーリングされた、電流 I_{ptat} に概ね等しい電流を供給する。トランジスタP5のドレインは、PチャネルトランジスタP8及びP9のソースに接続されている。トランジスタP8とP9は概ね同一である。トランジスタP8及びP9のゲートは、それぞれ正入力リード824及び負入力リード822に接続されており、入力段810によって生成される差分出力信号を受信する。トランジスタP8及びP9のドレインは、それぞれ実質的に同一のNチャネルトランジスタN8及びN9のドレインに接続されている。

【0069】第2增幅段820は入力段810と類似した構造を有するが、ソース接続されたトランジスタ対(即ち、PチャネルトランジスタP8及びP9)の負荷となるNチャネルトランジスタ(即ち、N8及びN9)が、入力段810に於いてソース接続されたトランジスタ対の負荷となっているダイオードの代わりに、電流源を形成している点が異なる。トランジスタN8のみがダイオード接続されており、トランジスタN9のゲートはトランジスタN8のゲートに接続されている。トランジスタN8及びN9のソースはどちらもグランド電位供給源に接続されており、それによってトランジスタN8及びN9は同じゲート・ソース間電圧を有している。出力リード826はトランジスタP9及びN9のドレインに接続されている。第2增幅段820の負入力リード822及び正入力リード824は、それぞれ入力段810の負出力リード818及び正出力リード816に接続されている。

【0070】その結果、正入力リード824の電圧が上昇すると(負入力リード822の電圧は入力段810の差分出力のため低下する)、トランジスタP8の導電性が低下し、トランジスタP9の導電性が高まる。従って、トランジスタP9のドレイン電圧は引き上げられ、トランジスタP8のドレイン電圧は低下する。

【0071】逆に、正入力リード824の電圧が低下すると(負入力リード822の電圧は入力段810の差分出力のため上昇する)、トランジスタP8の導電性が高まり、トランジスタP9の導電性は低下する。その結果、トランジスタN8に較べてトランジスタN9に流れる電流の方が多くなる。トランジスタN8とN9のゲート・ソース間電圧は等しいため、トランジスタN8は抵抗動作領域(即ち V_{DS} が著しく小さい)に入り、流れる電流は微小となり、それによって出力リード826の電圧は低下する。従って、第2增幅段820は出力リード826に出力信号を生成する差分増幅器として動作する。

【0072】第2增幅段820の出力リード826は、

インバータを2つ含む出力段830の入力リード832に接続されている。インバータ834は入力リード832に接続された入力リードを有する。インバータ834では、PチャネルトランジスタのW/L比はNチャネルトランジスタのW/L比の約2分の1となっている。このようなW/L比の比によって、インバータ834の“トリップ”電圧(即ち、それより高い電圧ではインバータは入力信号を論理1入力信号として捉え、それより低い電圧では論理0入力信号として捉える)が、第2增幅段820によって出力リード826に生成される出力信号の電圧範囲に対応して、低くなっている。インバータ836の入力リードはインバータ834の出力リードに接続されており、インバータ834によって生成された出力信号を反転する。従って、コンパレータ140は偶数回の反転を行うことになり、その結果、反転されない出力信号が出力リード838に出力される。

【0073】図9は、電圧制御発振器(voltage-control led oscillator: VCO)910、容量性チャージポンプ130、レベルシフタ210、及び増幅器940を含む基板ポンピング式システム900を示している。レベルシフタ210と容量性チャージポンプ130は、基板ポンピング式システム200(図2)について上述したのと同様に動作し、従ってレベルシフタ210は基板電圧 V_{BB} より V_{bg} だけ高い電圧 V_{sense} を出力する。

【0074】増幅器940の動作はコンパレータ140(図2)と似ているが、増幅器940は電圧 V_{bg} と基板電圧 V_{BB} との差電圧に比例した電圧 V_{dif} を、コンパレータ140に於けるデジタル出力信号の代わりに出力する点が異なる。その結果、基板電圧 V_{BB} が電圧 V_{bg} より若干高い場合、増幅器940は比較的小さな正電圧 V_{dif} を出力し、基板電圧 V_{BB} が V_{bg} より著しく大きい場合、増幅器940は比較的大きな正電圧 V_{dif} を出力する。増幅器940の出力リードはVCO910の入力リードに接続されている。

【0075】VCO910は、 V_{dif} の値に比例する周波数を有するクロック信号を出力する。VCO910は従来のVCOである。VCO910の出力リードは容量性チャージポンプ130の入力リードに接続されている。

【0076】容量性チャージポンプ130は負電荷を基板にポンピングするように動作する。容量性チャージポンプ130が基板へポンピングする単位時間当たりの負電荷量は、VCO910から受信されるクロック信号の周波数に比例する。

【0077】増幅器940、VCO910、容量性チャージポンプ130、及びレベルシフタ210は帰還回路を形成し、基板電圧 V_{BB} を概ね-1.5Vに等しく維持する。図2に関連して上述したように、基板にポンピングされた負電荷の流出によって、基板電圧 V_{BB} は上昇する。基板電圧 V_{BB} が-1.5より高くなるほど、

電圧 V_{dif} は大きくなる。その結果、VCO910は、より高い周波数のクロック信号を生成し、それによって容量性チャージポンプ130は負電荷を基板により高いレートでポンピングする。こうして、基板電圧 V_{BB} は所望の電圧 $-1.5V$ により速く近づく。基板電圧 V_{BB} が $-1.5V$ に近づくと、電圧 V_{dif} は減少し、VCO910により生成されるクロック信号の周波数は低下し、容量性チャージポンプ130の基板への負電荷ポンピングレートも下がる。電圧 V_{dif} が $0V$ になると、VCO910はクロック信号の生成をやめる。しかしながら、負電荷が基板から抜け出るにつれ、電圧 V_{dif} は $0V$ より高く上昇し、VCO910によってクロック信号が生成される。こうして、基板電圧 V_{BB} が所望のレベル $-1.5V$ に維持されるように帰還回路が動作する。

【0078】上記に本発明の好適実施例及び原理を説明してきた。しかしながら、本発明は説明してきた特定の実施例に限定されるものとして解釈されるべきではない。例えば、容量性チャージポンプ及び／または増幅器及び／またはバンドギャップリファレンスの異なる実施態様を用いることもできる。更に、上述したCMOSExPROMに於ける応用とは別の用途に別の実施形態を適用することもできる。更に、実施態様をN型基板に合わせて適合させることもできる。従って、上述した実施形態は限定的なものではなく例示を目的としたものとして認識されるべきである。これらの実施形態に対し当業者は、特許請求の範囲に記載される本発明の範囲を逸脱することなく変形を加え得るだろう。

【図面の簡単な説明】

【図1】図1は従来の基板ポンピング式システムのブロック図である。

【図2】図2は、本発明の一実施例による基板ポンピング式システムのブロック図である。

【図3】図3は、図2に示されているレベルシフト回路の一実施例の模式図である。

【図4】図4は、図3に示されているPNPトランジスタの断面図である。

【図5】図5は、図2に示されているレベルシフト回路の別の実施例の模式図である。

【図6】図6は、図2に示されている容量性チャージポンプの一実施例の模式図である。

【図7】図7は、図2に示されているオシレータの一実施例の模式図である。

【図8】図8は、図2に示されているコンパレータの一実施例の模式図である。

【図9】図9は、本発明の別の実施例に基づく基板ポンピング式システムのブロック図である。

【符号の説明】

100 従来の基板ポンピング式システム

110 オシレータ

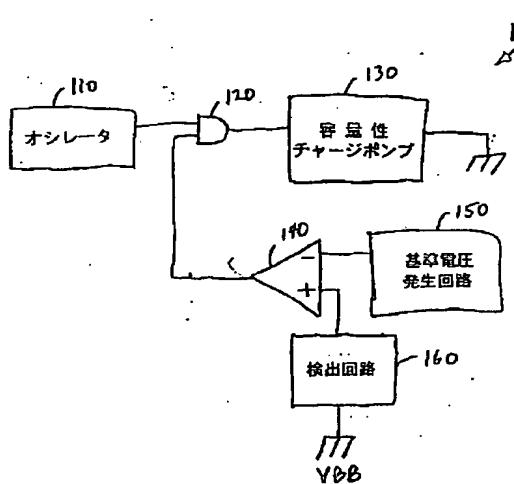
120 ANDゲート

- 130 容量性チャージポンプ
- 140 コンパレータ
- 150 基準電圧発生回路
- 160 検出回路
- 200 基板ポンピング式システム
- 210 レベルシフタ
- 215 バンドギャップリファレンス
- 215' レベルシフタ
- 310 Pチャネル電流ミラー回路
- 320 Nチャネル電流ミラー回路
- 330 スタートアップ回路
- 332 Nチャネルトランジスタ
- 334 Pチャネルトランジスタ
- 336 Pチャネルトランジスタ
- 410 ソース拡散領域
- 420 Nウェル
- 430 N+拡散領域
- 440 P基板
- 510～513 FET
- 601、602 Nチャネルトランジスタ
- 610 クロック端子
- 620 ノード
- 630 キャパシタ
- 701～703 インバータ
- 810 入力段
- 812、814 入力段810の入力リード
- 816、818 入力段810の出力リード
- 820 第2増幅段
- 822、824 第2増幅段820の入力リード
- 826 第2増幅段820の出力リード
- 830 出力段
- 832 出力段830の入力リード
- 834、836 インバータ
- 838 出力段830の出力リード
- 900 基板ポンピング式システム
- 910 電圧制御発振器 (VCO)
- 940 増幅器
- S1 ノード
- C1 キャパシタ
- I_c コレクタ電流
- I_{dsat} 飽和電流
- I_{ptat} 電流
- I_s 飽和電流
- N1、N2 Nチャネルトランジスタ
- N6～N9 Nチャネルトランジスタ
- P1～P9 Pチャネルトランジスタ
- Q1～Q3 PNPトランジスタ
- R1、R2 抵抗
- R2' タップ抵抗
- VBB 基板電圧

$V_{BE_{Q1}}$ トランジスタQ1のベース・エミッタ間電圧
 $V_{BE_{Q2}}$ トランジスタQ2のベース・エミッタ間電圧
 V_{bg} バンドギャップリファレンスによる電圧
 V_{dif} 増幅器940の出力電圧
 V_{ref} 基準電圧
 V_{sense} レベルシフタの出力電圧
 V_t しきい値電圧

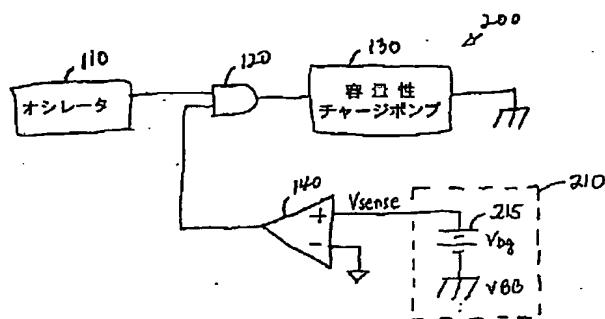
V_T 热電圧
 A トランジスタQ2のトランジスタQ1に対するエミッタ面積の比
 TC_f 温度係数
 k ボルツマン定数
 q 電子の電荷
 T 絶対温度

【图1】

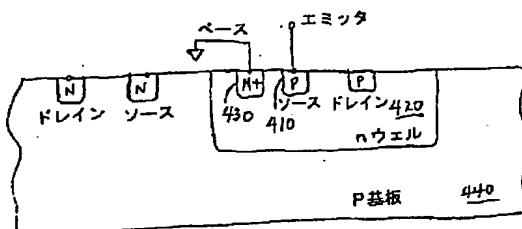


[図3]

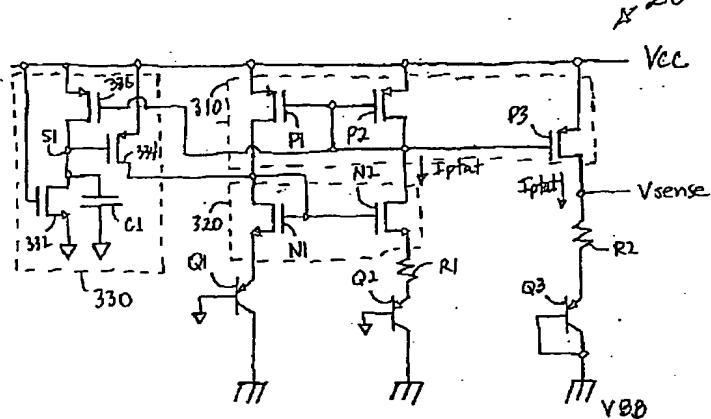
[図2]



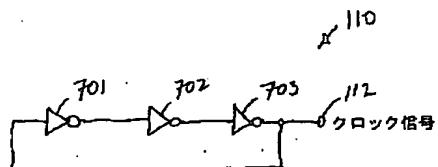
〔四四〕



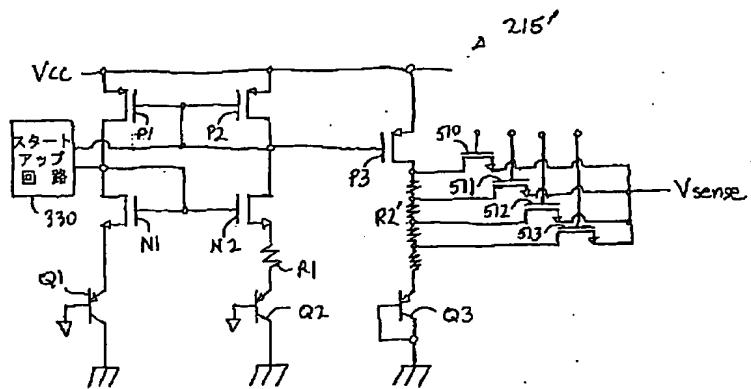
[圖6]



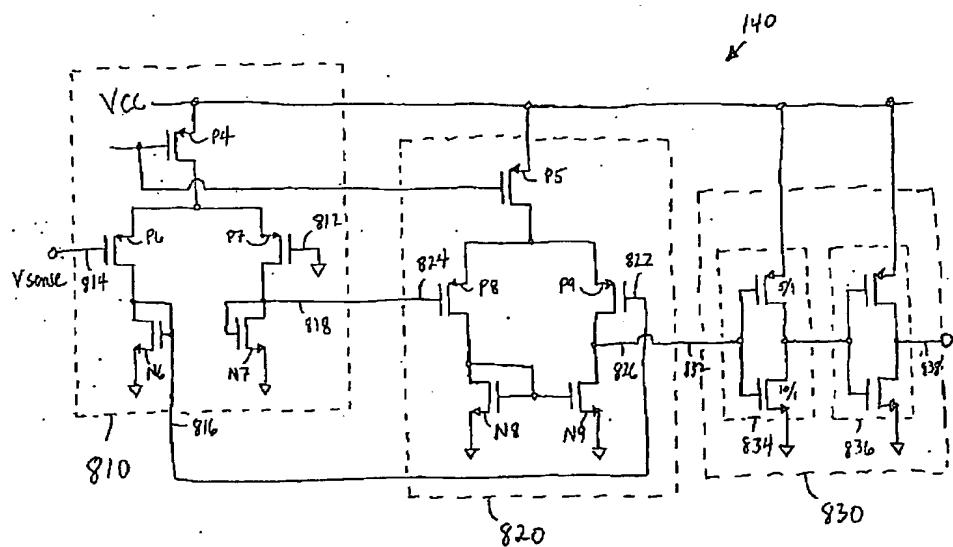
〔图7〕



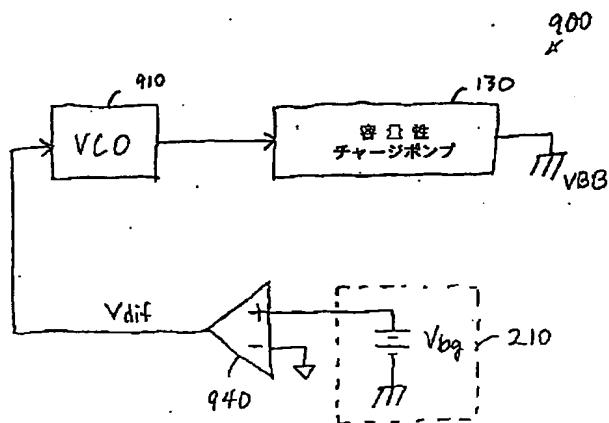
【図5】



〔図8〕



【図9】



フロントページの続き

(72)発明者 ラビンダー・ラル
 アメリカ合衆国オレゴン州97229・ポート
 ランド・エヌダブリュ129スプレイス
 1749

(72)発明者 ロバート・ビー・レファーツ
 アメリカ合衆国オレゴン州97225・ポート
 ランド・エヌダブリュ97 3180